

**(3) Japanese Patent Application Laid-Open No. 11-261347 (1999)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-261347

(43)公開日 平成11年(1999) 9月24日

(51)Int.Cl.<sup>6</sup>

H 0 3 F 3/217

識別記号

F I

H 0 3 F 3/217

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21)出願番号 特願平11-5457

(22)出願日 平成11年(1999) 1月12日

(31)優先権主張番号 0 0 7 3 2 6

(32)優先日 1998年 1月14日

(33)優先権主張国 米国 (U S)

(71)出願人 594071675

ハリス コーポレーション

Harris Corporation

アメリカ合衆国 フロリダ 32919 メル

パーン, ウェスト・ナサ・ブルバード

1025

(72)発明者 デイヴィッド ビー チェスター

アメリカ合衆国, フロリダ 32907, パー

ム・ベイ, ビーコック・アヴェニュー・エ

ヌイー 961

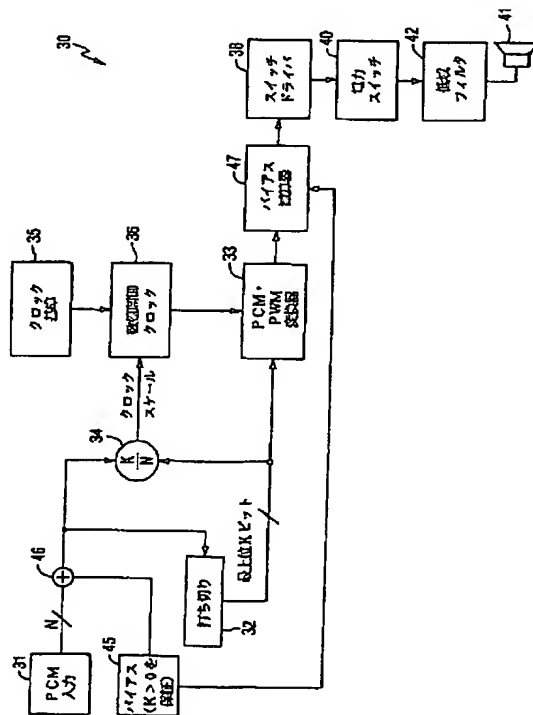
(74)代理人 弁理士 伊東 忠彦 (外1名)

(54)【発明の名称】 スケール式クロックを備えたD級増幅器及びD級増幅方法

(57)【要約】

【課題】 本発明はノイズ成形回路に対する要求が削減又は除去されたD級増幅器の提供を目的とする。

【解決手段】 D級増幅器は、Nビットのデジタル入力及び最上位Kビットの信号のクロックスケール比信号に基づいてスケールリングされたクロック信号を発生する発生器と、スケールリングされたクロック信号に基づいて最上位KビットのPCM信号をPWM信号に変換する変換器とを含む。D級増幅器は、入力信号からNビットのPCM信号を発生する入力回路と、NビットのPCMデジタル信号を最上位KビットのPCM信号に打ち切る省略手段とを含む。PWM出力信号は、出力スイッチに接続されたスイッチドライバに供給される。



## 【特許請求の範囲】

【請求項 1】 入力信号から N ビットのパルス符号変調信号を発生する入力手段と、

上記 N ビットのパルス符号変調デジタル信号を最上位 K ビットのパルス符号変調信号に打ち切る省略手段と、  
上記 N ビットのパルス符号変調信号と上記最上位 K ビットのパルス符号変調信号とに基づいて、スケーリングされたクロック信号を発生するスケール式クロック発生手段と、

上記スケーリングされたクロック信号に基づいて、上記最上位 K ビットのパルス符号変調信号をパルス幅変調信号に変換するパルス符号変調・パルス幅変調変換器とを含む D 級増幅器。

【請求項 2】 上記スケール式クロック発生手段は、上記 N ビットのデジタル入力信号を受信する第 1 の入力と、上記最上位 K ビットの信号を受信する第 2 の入力とを有する割算器によって構成され、クロックスケール比信号を発生し、

上記割算器の上記第 1 の入力は除数入力であり、上記割算器の上記第 2 の入力は被除数入力である請求項 1 記載の D 級増幅器。

【請求項 3】 上記スケール式クロック発生手段は、基準クロックと数値制御クロックとを含み、

上記数値制御クロックは、上記基準クロックに接続された第 1 の入力と、上記クロックスケール比信号を受信するため接続された第 2 の入力とを有し、上記スケーリングされたクロック信号を発生する請求項 2 記載の D 級増幅器。

【請求項 4】 上記割算器の被除数が零よりも大きくなるように上記割算器にバイアス値を入力するバイアス手段と、

上記パルス符号変調・パルス幅変調変換器からの下流で上記バイアスを減算するバイアス減算手段とを更に有する請求項 2 記載の D 級増幅器。

【請求項 5】 上記パルス符号変調・パルス幅変調変換器は、前縁型、後縁型又は対称型のいずれかのパルス符号変調・パルス幅変調変換器であり、

上記パルス符号変調・パルス幅変調変換器は、2 重又は 3 重極性のパルス符号変調・パルス幅変調変換器である請求項 1 乃至 4 のうちいずれか一項記載の D 級増幅器。

【請求項 6】 上記パルス符号変調・パルス幅変調変換器の上記パルス幅変調出力信号が供給されるスイッチドライバと、

上記スイッチドライバに接続された少なくとも 1 個の電力スイッチとを更に有する請求項 5 記載の D 級増幅器。

【請求項 7】 入力信号から N ビットのパルス符号変調信号を発生する入力手段と、

上記 N ビットのパルス符号変調デジタル信号を最上位 K ビットのパルス符号変調信号に打ち切る省略手段と、  
上記 N ビットのデジタル入力信号を受信する第 1 の入

力と、上記最上位 K ビットの信号を受信する第 2 の入力とを有し、クロックスケール比信号を発生する割算器と、

基準クロックと上記基準クロックに接続された第 1 の入力と、上記クロックスケール比信号を受信するため接続された第 2 の入力とを有し、スケーリングされたクロック信号を発生する数値制御クロックと、

上記スケーリングされたクロック信号に基づいて、上記最上位 K ビットのパルス符号変調信号をパルス幅変調信号に変換するパルス符号変調・パルス幅変調変換器とを含む D 級増幅器。

【請求項 8】 上記割算器の上記第 1 の入力は除数入力であり、上記割算器の上記第 2 の入力は被除数入力であり、

上記割算器の被除数が零よりも大きくなるように上記割算器にバイアス値を入力するバイアス手段と、

上記パルス符号変調・パルス幅変調変換器からの下流で上記バイアスを減算するバイアス減算手段とを更に有する請求項 7 記載の D 級増幅器。

20 【請求項 9】 上記パルス符号変調・パルス幅変調変換器は、前縁型、後縁型又は対称型のいずれかのパルス符号変調・パルス幅変調変換器であり、

上記パルス符号変調・パルス幅変調変換器は、2 重又は 3 重極性のパルス符号変調・パルス幅変調変換器であり、

上記パルス符号変調・パルス幅変調変換器の上記パルス幅変調出力信号が供給されるスイッチドライバと、

上記スイッチドライバに接続された少なくとも 1 個の電力スイッチとを更に有する請求項 8 記載の D 級増幅器。

30 【請求項 10】 N ビットのパルス符号変調 (PCM) 信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基づいてスケーリングされたクロック信号を発生するスケール式クロック発生器と、

上記スケーリングされたクロック信号に基づいて上記最上位 K ビットの PCM 信号をパルス幅変調 (PWM) 信号に変換するパルス符号変調・パルス幅変調変換器とを含み、

40 上記スケール式クロック発生器は、上記 N ビットのデジタル入力信号を受信する第 1 の入力と、最上位 K ビットの信号を受信する第 2 の入力とを有し、クロックスケール比信号を発生する割算器を有する D 級増幅器。

【請求項 11】 上記割算器の上記第 1 の入力は除数入力であり、

上記割算器の上記第 2 の入力は被除数入力であり、

上記スケール式クロック発生手段は、基準クロックと、上記基準クロックに接続された第 1 の入力、及び、上記クロックスケール比信号を受信するため接続された第 2 の入力とを有し、上記スケーリングされたクロック信号を発生する数値制御クロックとを含み、

50 上記割算器の被除数が零よりも大きくなるように上記割

算器にバイアス値を入力するバイアス手段を更に有する請求項 10 記載の D 級増幅器。

【請求項 12】 N ビットのパルス符号変調 (PCM) 信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基づいて、スケーリングされたクロック信号を発生する段階と、

上記スケーリングされたクロック信号に基づいて最上位 K ビットの信号をパルス幅変調 (PWM) 出力信号に変換する段階とを含み、

上記スケーリングされたクロック信号を発生する段階は、クロックスケール比信号を発生するため、上記最上位 K ビットの信号を上記 N ビットのデジタル入力信号で割算する段階を有することを特徴とする D 級増幅を実施する方法。

【請求項 13】 上記スケーリングされたクロック信号を発生する段階は、上記スケーリングされたクロック信号を生成するため、上記クロックスケール比信号を用いて数値制御されたクロックを制御する段階を更に有し、上記割算する段階に対し、被除数が零よりも大きくなるようにバイアス値を入力する段階と、

上記パルス幅変調信号に変換する段階からの下流で上記バイアス値を減算する段階とを更に含むことを特徴とする請求項 12 記載の方法。

【請求項 14】 上記パルス幅変調信号に変換する段階は、前縁型、後縁型又は対称型のいずれかのパルス符号変調・パルス幅変調変換により変換し、

上記パルス幅変調信号に変換する段階は、2 重又は 3 重の極性のパルス符号変調・パルス幅変調変換により変換し、

上記パルス幅変調出力信号に基づいて少なくとも 1 個の電力スイッチを作動する段階を更に有する請求項 13 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路及び装置、特に、D 級増幅器及び D 級増幅方法に関する。増幅器は、入力信号レベルを所望の出力レベルに増大するため多数の電子装置において広範に使用される。D 級増幅器は、オン・オフスイッチとして使用されるアクティブ装置を含み、出力電力変動はパルス幅変調によって実現される。D 級増幅器は、例えば、無線放送送信機及びオーディオアンプに使用される。例えば、電力金属酸化物電界効果トランジスタ (MOSFET) のスイッチング効率は非常に高いので、比較的に小型かつ効率的な回路でハイファイ信号を生成するため MOSFET を D 級オーディオアンプに使用することができる。

【0002】

【従来の技術】典型的なデジタル入力 D 級増幅器 10 が図 1 に示されている。増幅器 10 は、標準フォーマットの入力信号を受信するデジタルフォーマット変換器

11 を含む。サンプルレート変換器 12 は、デジタルフォーマット変換器の出力を、パルス符号変調 (PCM) ・パルス幅変調 (PWM) 変換器 13 への入力用として変換する。PCM ・ PWM 変換器 13 の出力は、レベルシフタ 14 と、ブリッジ 15 と、例えば、スピーカのようなトランスデューサ 16 とに連結される。また、増幅器 10 のために種々のフィードバック路 17 を設けることが可能である。

【0003】残念ながら、高分解能 PCM 信号に対応した高分解 PWM 信号に変換する際に重大な問題が生じる。この問題は、パルスの幅が増加すると共に、その直流 (dc) 成分が 1 対 1 の関係で増加することに起因する。個々のパルスは、 $\text{sinc}(x)$  周波数応答を有する。パルス繰り返しレートが十分に高い場合、低域フィルタは、本質的に各パルスの直流成分だけを通し、直流値が時間の関数として変化すると共に、ある直流レベルから別の直流レベルへの変化を平滑化する。この系は、サンプル時間系であるので、パルス幅は図 2 にグラフ的に表示されるように時間に関して量子化される。図 2 において、P1 から P5 はパルスを表し、上方のプロット部分 18 はパルス分解クロックエッジを示す。この PWM 幅量子化は、そのまま dc 振幅量子化に変化する。そのため、パルス幅量子化を定義するパルス分解クロック 18 には実際の制限が加わる。これは、パルス幅分解能に本質的な制限を加え、次に、出力信号の全高調波歪み (THD) を制限する。

【0004】例えば、350 KHz のパルス繰り返しを想定すると、この繰り返しレートは、増幅器出力の低域フィルタが略直流成分だけを通過させる動作条件を支援するため十分な高さがあると共に、低い分解能に対し著しく高いパルス分解クロックを生じさせるほど高くはない。より高分解能の場合、状況は全く異なる。例えば、PCM ・ PWM 変換を通じて 16 ビットの精度を維持することが望まれる場合、要求されるパルス繰り返しクロックレートは、350 KHz の  $2^{16}$  倍、すなわち、23 GHz である。このように高いクロックレートを要求することは実際のではない。

【0005】上記問題点を解決する従来の一つの方法は、図 3 に示されるように回路 20 において、ノイズ成形器又はフィルタ 21 を PCM ・ PWM 変換器 13 の上流の処理回路に追加することである。ノイズ成形器 21 は、要求される PCM 信号の分解能を低下させ、後続の PWM 信号の時間分解能を低下させる。ノイズ成形器 21 は、量子化ノイズを最終的に阻止される高周波の方に重み付けすることにより要求される分解能を低下させ、低分解能 PCM ・ PWM 変換器 13 を通じて着目した信号をディザiser するため高周波ノイズを使用する。入力信号は N ビットの分解能を有し、出力信号は M ビットの分解能を有し、N は M 以上である。ノイズ成形器 21 がノイズを成形する能力は、隣接した入力サンプルが非常に

相関しているという事実に基づく。この相関性はサンプリングレート変換ブロック 12 における先行の補間によって保証される。

【0006】

【発明が解決しようとする課題】出力 S/N 比は、入力信号のオーバーサンプリングの量を増加させるか、或いは、ノイズ成形フィルタ 21 の次数を増加させることによって増加する。残念ながら、オーバーサンプリングの量を著しく増加させると、システム全体の複雑さが増大し、一方、ノイズ成形フィルタの次数を 3 次よりも大きくすることにより、合理的なオーバーサンプリングレートにおける性能の改善が損なわれる。システムの複雑さが増加する一因は、補間フィルタの複雑さを高めなければならないことである。

【0007】オーバーサンプリングを増加させることにより、PWM の繰り返しレートが増加するので、別の問題点が生ずる。かくして、同一のパルス分解クロックレートを維持するため、サンプリングレートが 2 倍に増大される毎に、量子化器のビット数は 1 ビットずつ減らされる。これは、3 次ノイズ成形フィルタの場合に、サンプリングレートが 2 倍に増大される毎に、約 1.6 ビットの正味ノイズフロア利得が実現され、理想的な補間が得られることを意味する。

【0008】従来のノイズ成形フィルタ 21 に関する別の問題点は、要求された PWM 時間分解能を減少させるため、PCM・PWM 変換器 13 の中を伝搬されるべきディザリングノイズに基づく。このディザリングは低域フィルタ 22 によって後で除去され得る。しかし、サウンド品質にはディザリングによって生じた影響が認められる。

【0009】したがって、本発明の目的は、ノイズ成形回路に対する要求が削減又は除去された D 級増幅器及び D 級増幅方法を提供することである。

【0010】

【課題を解決するための手段】上記本発明の目的は、本発明の D 級増幅器によって実現される。本発明の D 級増幅器は、N ビットのパルス符号変調 (PCM) 信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基づいてスケーリングされたクロック信号を発生するスケール式クロック発生器と、上記スケーリングされたクロック信号に基づいて上記最上位 K ビットの PCM 信号をパルス幅変調 (PWM) 信号に変換する PCM・PWM 変換器とを含む。

【0011】特に、増幅器は、好ましくは、入力信号から上記 N ビットの PCM 信号を発生する入力手段と、上記 N ビットの PCM デジタル信号を最上位 K ビットの PCM 信号に打ち切る省略手段とを含む。PWM 出力信号はスイッチドライバに供給され、スイッチドライバは一つ以上の出力スイッチに接続される。したがって、高品質出力信号は、従来のノイズ成形フィルタを含む D 級

増幅器に関連した複雑さ及び/又は忠実度の欠点を伴うことなく、実際に組み込まれた基準クロックで生成される。

【0012】スケール式クロック発生器又は発生手段は、N ビットのデジタル入力信号を受信する第 1 の入力と、最上位 K ビットの信号を受信する第 2 の入力とを有する割算器によって構成され、クロックスケール比信号を発生する。一実施例において、割算器の第 1 の入力は除数入力であり、第 2 の入力は被除数入力である。スケール式クロック発生手段は基準クロックと数値制御クロックとを含み、上記数値制御クロックは、上記基準クロックに接続された第 1 の入力と、上記クロックスケール比信号を受信するため接続された第 2 の入力とを有し、スケーリングされたクロック信号を発生する。

【0013】通例的に、スケール式クロック発生器は、割算器の被除数が零よりも大きくなるように割算器にバイアス値を入力するバイアス手段を更に有する。さらに、増幅器は、PCM・PWM 変換器からの下流でバイアスを減算するバイアス減算手段を有する。当然に、PCM・PWM 変換器は、前縁型、後縁型若しくは対称型のいずれかの PCM・PWM 変換器である。また、PCM・PWM 変換器は、2 重又は 3 重極性の PCM・PWM 変換器でもよい。

【0014】本発明は、また、D 級増幅を行う方法を含む。本発明の方法は、好ましくは、N ビットのパルス符号変調 (PCM) 信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基づいて、スケーリングされたクロック信号を発生する段階と、上記スケーリングされたクロック信号に基づいて最上位 K ビットの信号をパルス幅変調 (PWM) 出力信号に変換する段階とを含む。上記スケーリングされたクロック信号を発生する段階は、好ましくは、クロックスケール比信号を発生するため、最上位 K ビットの信号を N ビットのデジタル入力信号で割算する段階と、スケーリングされたクロック信号を生成するため、上記クロックスケール比信号を用いて数値制御されたクロックを制御する段階とを含む。

【0015】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態例を説明する。本発明の D 級増幅器 30 は図 4 に示されている。D 級増幅器 30 は、N ビットのパルス符号変調 (PCM) 信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基づいてスケーリングされたクロック信号を発生するスケール式クロック発生器と、上記スケーリングされたクロック信号に基づいて上記最上位 K ビットの PCM 信号をパルス幅変調 (PWM) 信号に変換する PCM・PWM 変換器 33 とを含む。特に、D 級増幅器 30 は、好ましくは、入力信号から上記 N ビットの PCM 信号を発生する PCM 入力手段 31 を含む。PCM 入力手段 31 は、他の D 級増

幅器で通常使用されるデジタルフォーマット変換器 11 及びサンプルレート変換器 12 により実現される。

【0016】D 級増幅器 30 は、上記 N ビットの PCM デジタル信号を最上位 K ビットの PCM 信号に打ち切る省略手段 32 を更に含む。PWM 出力信号はスイッチドライバ 38 に供給され、スイッチドライバ 38 は一つ以上の出力スイッチ 40 に接続される。スイッチ 40 の出力は、低域フィルタ 42 を介してスピーカ 41 のようなトランスデューサに接続される。D 級増幅器 30 は、従来のノイズ成形フィルタに関連した欠点を伴うことなく、实际的に組み込まれた基準クロックを用いて高品質出力信号を生成する。

【0017】スケール式クロック発生器又は発生手段は、N ビットのデジタル入力を受信する第 1 の入力と、最上位 K ビットの信号を受信する第 2 の入力とを有する割算器 34 によって構成され、クロックスケール比信号を発生する。本発明の一実施例において、割算器 34 の第 1 の入力は除数入力であり、第 2 の入力は被除数入力である。スケール式クロック発生手段は基準クロック 35 と数値制御クロック 36 とを含む。上記数値制御クロック 36 は、上記基準クロック 35 に接続された第 1 の入力と、割算器 34 から上記クロックスケール比信号を受信するため接続された第 2 の入力とを有する。数値制御クロック 36 は、かくして、PCM・PWM 変換器 33 のためスケールされたクロック信号を出力に発生する。

【0018】本発明の重要な局面によれば、D 級増幅器 30 のスケール式クロック発生器は、割算器 34 の被除数が零よりも大きくなるように割算器 34 にバイアス値を入力するバイアス手段を更に有する。換言すると、最上位 K ビットが全て零に一致する場合、数値制御クロック 36 は無効値に変化するという事実に従って、割算器 34 には最小の許容可能なパルス幅が与えられる。本実施例において、バイアス手段は、バイアスブロック 45 と加算器 46 とにより実現され、加算器 46 は、割算器 34 の上流でバイアスを N ビットの PCM 信号に加算する。加算されたバイアスは、最上位 K ビットが零になることを防止する。加算されたバイアスを除去するため、本実施例の D 級増幅器 30 は、加算されたバイアスを PCM・PWM 変換器 33 の下流で減算するバイアス演算手段又は減算器 47 を含む。

【0019】PCM・PWM 変換器 33 は、前縁型、後縁型若しくは対称型のいずれかの PCM・PWM 変換器である。また、PCM・PWM 変換器 33 は、2 重又は 3 重極性の PCM・PWM 変換器でもよい。本例の D 級増幅器 30 において零表現が欠けていることは、当業者によって容易に理解されるように、最も直接的な表現例が 2 重パルス極性を使用することを示す。また、当業者は、零表現の制限を解決する他の複雑な変形を認知するであろう。

【0020】以下、図 5 を参照して、D 級増幅器 30 の一例を説明する。この例では、N は 16 であり、K は 7 であり、パルス繰り返しレートは、177 ns の不感時間（パルス繰り返し周期の 1/16）を含む 352.8 KHz である場合を想定する。最大パルス間隔は、 $(15/16) \times (1/352.8 \text{ KHz}) = 2.657 \mu\text{s}$  である。公称パルス分解クロック周波数は、24.08448 MHz であり、クロック周期は、41.5 ns である。D 級増幅器 30 に入力される PCM 値は、2 進数 000110101010110000 である。

【0021】2 の補数入力と、バイアスされた 2 進数出力とを仮定すると、力任せの実装の場合、12.3 GHz のパルス分解クロック周波数が要求され、図 5 の上方にプロットされているクロックエッジ 50 により示されるように、PCM 値は、554 ns のパルス間隔を生ずる。説明の便宜上、バイアスパルスからの付加的なパルス幅は無視されている。本発明の D 級増幅器 30 の場合、クロックスケール率は、0.9742 であり、得られるクロックは、23.464 MHz である。クロックは、図 5 の下方にプロットされているクロックエッジ 52 によって示されるように、42.62 ns の周期を有する。PCM・PWM 変換器 33 に入る最上位 K ビットの値は 13 である。この例の場合、パルス間隔は、 $13 \times 42.62 \text{ ns}$ 、すなわち、554 ns である。図 5 の真ん中にプロットされているように、公称クロックのクロックエッジ 51 は、41.5 ns の周期を有する。

【0022】D 級増幅器 30 は、決定論的かつ同型の関係にある入力及び出力を有する。図 3 に示されるような従来の D 級増幅器 21 には、このような入出力関係は無く、ディザー的（乱れた）出力を有するので、出力は所与の入力に対し統計的に分布する。本発明の更なる局面は、D 級増幅を実現する方法に関する。本発明の方法は、好ましくは、N ビットのパルス符号変調（PCM）信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基づいて、スケールされたクロック信号を発生する段階と、上記スケールされたクロック信号に基づいて最上位 K ビットの信号をパルス幅変調（PWM）出力信号に変換する段階とを含む。上記スケールされたクロック信号を発生する段階は、好ましくは、クロックスケール比信号を発生するため、最上位 K ビットの信号を N ビットのデジタル入力信号で割算する段階と、スケールされたクロック信号を生成するため、上記クロックスケール比信号を用いて数値制御されたクロックを制御する段階とを含む。

【0023】本発明の方法は、また、上記割算する段階に対し、被除数が零よりも大きくなるようにバイアス値を入力する段階と、PCM・PWM 変換の下流で上記バイアス値を減算する段階とを有する。D 級増幅器は、N ビットのパルス符号変調（PCM）信号と上記 N ビットの PCM 信号の中の最上位 K ビットの PCM 信号とに基

づいてスケールされたクロック信号を発生するスケール式クロック発生器と、上記スケールされたクロック信号に基づいて上記最上位KビットのPCM信号をパルス幅変調(PWM)信号に変換するPCM・PWM変換器とを含む。D級増幅器は、入力信号から上記NビットのPCM信号を発生する入力回路と、上記NビットのPCMデジタル信号を最上位KビットのPCM信号に打ち切る省略手段とを含む。PWM出力信号はスイッチドライバに供給され、スイッチドライバは出力スイッチに接続される。スケール式クロック発生器又は発生手段は、Nビットのデジタル入力を受信する第1の入力と、最上位Kビットの信号を受信する第2の入力とを有する割算器によって構成され、クロックスケール比信号を発生する。

【図面の簡単な説明】

【図1】従来技術によるD級増幅器のブロック図である。

【図2】図1の従来技術のD級増幅器に対するPWMパルス及びパルス分解クロック信号をプロットした図である。

【図3】ノイズ成形器を含む従来技術によるD級増幅器のブロック図である。

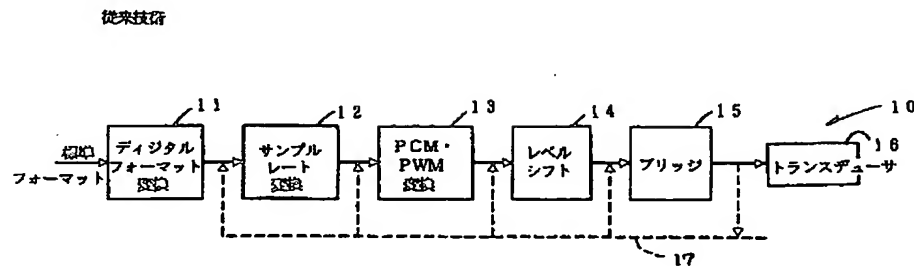
【図4】本発明によるD級増幅器のブロック図である。

【図5】望ましいパルス幅、公称クロックのクロックエッジ、及び、本発明の一例に従ってスケールされたクロックのクロックエッジをプロットした図である。

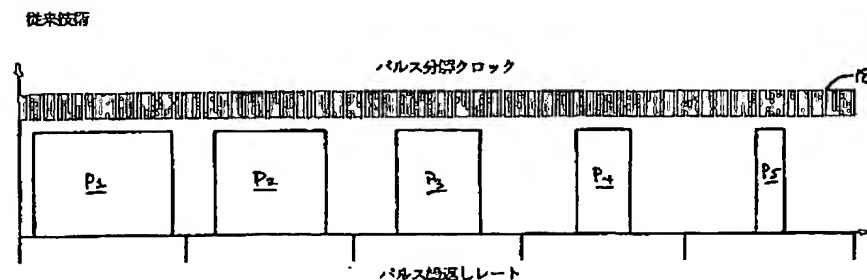
【符号の説明】

- |    |            |
|----|------------|
| 30 | D級増幅器      |
| 31 | PCM入力手段    |
| 32 | 省略手段       |
| 33 | PCM・PWM変換器 |
| 34 | 割算器        |
| 35 | クロック基準     |
| 36 | 数値制御クロック   |
| 38 | スイッチドライバ   |
| 40 | 出力スイッチ     |
| 41 | スピーカ       |
| 42 | 低域フィルタ     |
| 45 | バイアスブロック   |
| 46 | 加算器        |

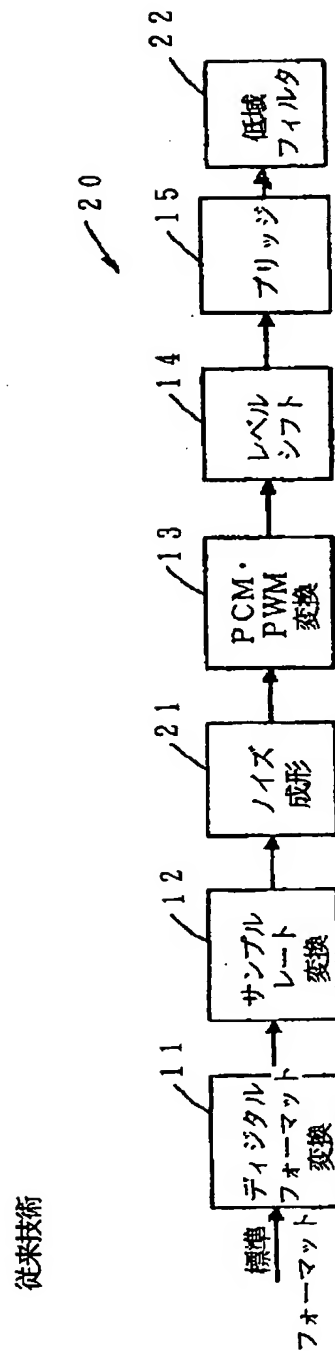
【図1】



【図2】

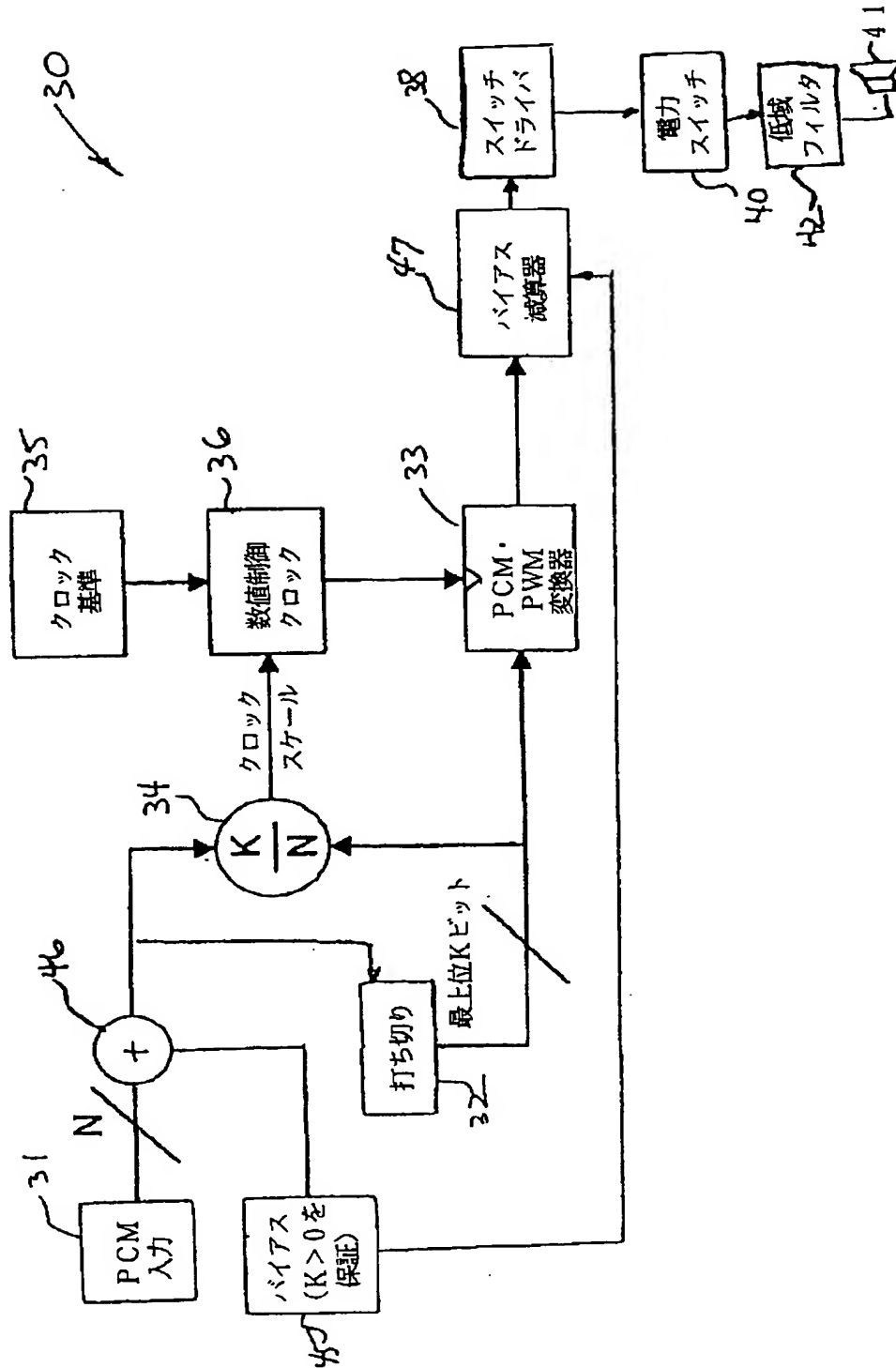


【図 3】

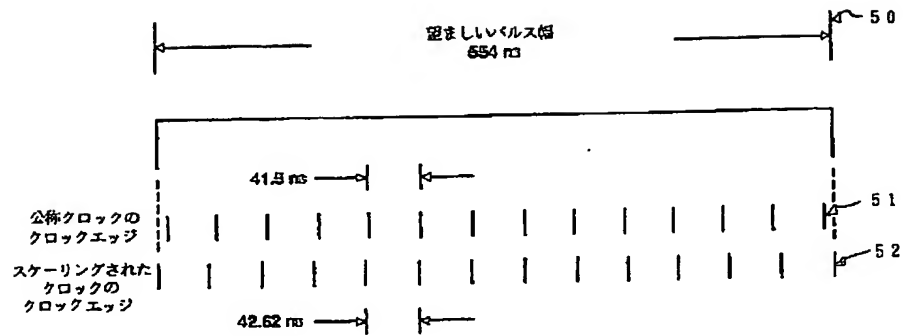




【図 4】



【図 5】



【手続補正書】

【提出日】平成 11 年 5 月 21 日

【手続補正 1】

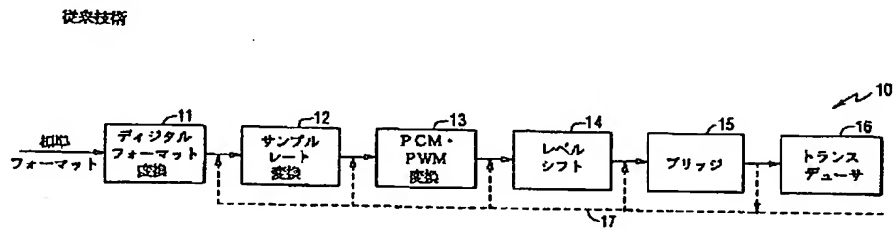
【補正対象書類名】図面

【補正対象項目名】全図

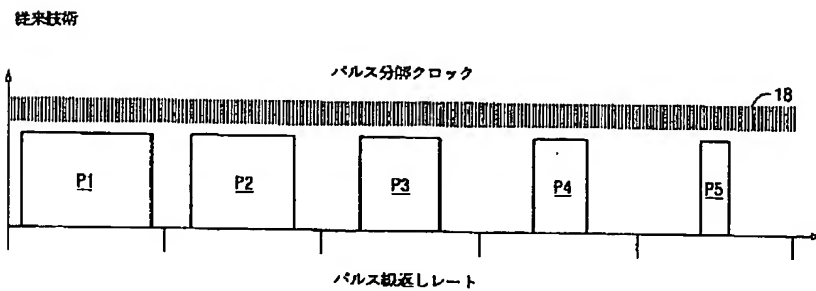
【補正方法】変更

【補正内容】

【図 1】

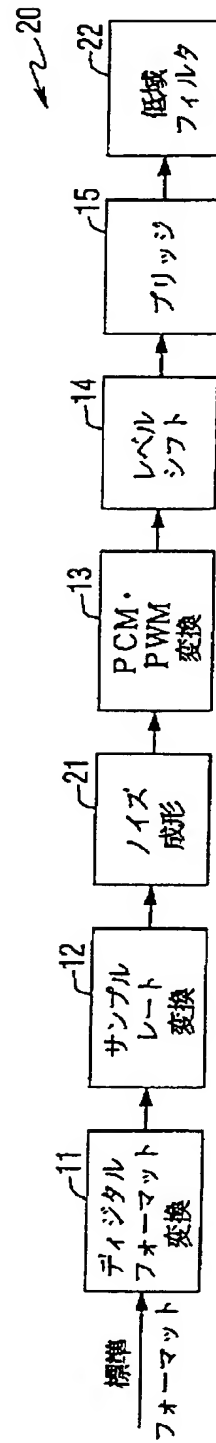


【図 2】

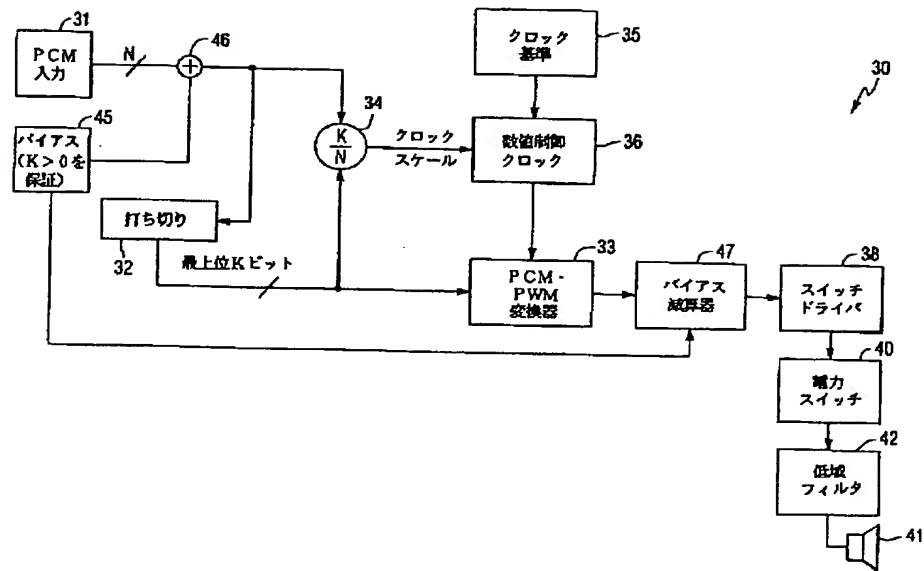


【図 3】

従来技術



【図 4】



【図 5】

